

## MOS STATIC RANDOM ACCESS MEMORY

Patent Number: **JP54037544**

Publication date: **1979-03-20**

Inventor(s): **HARUBE MITSUO**

Applicant(s): **SHARP CORP**

Requested Patent: **JP54037544**

Application Number: **JP19770104039 19770829**

Priority Number(s):

IPC Classification: **G11C11/40; G11C7/00**

EC Classification:

Equivalents:

---

### Abstract

---

**PURPOSE:** To stabilize operations by preventing the contents of a cell from being broken down by making the difference of the mutual conductance of a digitselecting transistor between a read time and write time.

**Data supplied from the esp@cenet database - I2**



⑯日本国特許庁  
公開特許公報

①特許出願公開  
昭54-37544

⑤Int. Cl.<sup>2</sup> 識別記号 ⑥日本分類 庁内整理番号 ⑦公開 昭和54年(1979)3月20日  
G 11 C 11/40 97(7) C 13 7010-5B  
G 11 C 7/00 97(7) C 101 7368-5B  
発明の数 1  
審査請求 未請求

(全 5 頁)

⑧MOSスタティックランダムアクセスメモリ

大阪市阿倍野区長池町22番22号

シャープ株式会社内

⑨特願 昭52-104039  
⑩出願 昭52(1977)8月29日  
⑪発明者 治部光男

⑫出願人 シャープ株式会社  
大阪市阿倍野区長池町22番22号  
⑬代理人 弁理士 福士愛彦

明細書

1. 発明の名称

MOSスタティックランダムアクセスメモリ

2. 特許請求の範囲

1. CMOSからなる2つのインバータをクロス接続し、各インバータとデータ線間に桁選択用のMOSトランジスタを接続してなるランダムアクセスメモリにおいて、上記桁選択用MOSトランジスタのゲートに与える桁選択信号として、セルの内容の読み出し状態と書き込み状態で異なるレベルの信号を印加してなり、セルの内容の破壊を防止したことを特徴とするMOSスタティックランダムアクセスメモリ。

2. 特許請求の範囲第1項において、桁選択信号を形成する桁選択回路にPチャネルMOSとNチャネルMOSの並列回路からなるレベルシフト回路を設け、該レベルシフト回路に書き込み信号及び読み出し信号を入力して導通状態を制御し、異なるレベルの信号を形成することを特徴とするMOSスタティックランダムアクセス

メモリ。

3. 発明の詳細な説明

本発明は、書き込み及び読み出し時におけるセルの内容の安定化を企つたRAM(ランダム・アクセス・メモリ)に関するものである。

第1図に従来のMOS/セル構造から成るスタティックRAM回路を示す。桁選択線 $L_1$ に接続されたNチャネルMOSからなるトランスファゲート $T_1, T'_1$ のゲートに高("1")レベルの信号が与えられると、メモリセルが書き込み或いは読み出し可能な状態に選択され、セルのデータの内容が入出力線 $L_2, L'_2$ に読み出されるか或いは書き込みの際には上記入出力線 $L_2, L'_2$ に書き込み情報をのせることによつてメモリセル内に"1"或いは"0"の情報が書き込まれる。

ところで上記RAM回路においては、読み出し動作及び書き込み動作のいずれにおいても次のような問題がある。即ち、読み出し時には入出力線 $L_2, L'_2$ は通常"高"レベルに充電されているが、このような高レベルの状態でセルの内容を破

要せずに読み出すには、2個のインバータを構成する各MOSトランジスタ $T_2, T_2'$ の相互コンダクタンス $G_{m2}$ と上記トランジスタ $T_1, T_1'$ の相互コンダクタンス $G_{m1}$ との間に $G_{m2} > G_{m1}$ の条件が必要である。また入出力線 $L_2, L_2' \sim V_C = 1$ 或いは"0"の情報を与えてセルに書き込む場合には、インバータを構成する他方のMOSトランジスタ $T_2, T_2'$ の相互コンダクタンス $G_{m2}$ とMOSトランジスタ $T_1, T_1'$ の相互コンダクタンス $G_{m1}$ との間に $G_{m1} > G_{m2}$ の条件が必要で $G_{m1} > G_{m2} > G_{m3}$ となるように各MOSトランジスタの相互コンダクタンス比を適切に選ばねばならない。

従来のRAM回路においては、各MOSトランジスタの形状、即ちゲートの幅や長さ等の値を適当に設計することによって相互コンダクタンス比を変化させ、上記のような問題を解決しようとしていた。しかし、上記従来のようMOSトランジスタの形状によって改善しようとする場合、回路設計に対する自由度が減少し、またセルの占有

MOSトランジスタ構造から成っている。上記MOSトランジスタ $T_{11}, T_{11}'$ のゲートには、桁選択デコーダ $\mathcal{D}$ から出力される書き込み及び読み出しの夫々の動作状態によってレベルの異なる桁選択信号が選択線 $L_1$ から与えられ、ソースには書き込み回路 $3$ からデータ線 $D, \bar{D}$ に出力された書き込み信号が与えられる。

上記桁選択デコーダ $\mathcal{D}$ は、例えば中央演算処理装置等から桁選択指令信号 $\bar{A}_1, \bar{A}_2$ 及びタイミング信号 $\phi_1 + \phi_2$ が入力された NANDゲートから構成されており、更に該 NANDゲートと電源の接続地レベル間に、PチャネルMOSトランジスタ $T_{21}$ とNチャネルトランジスタ $T_{22}$ の並列接続された回路からなるレベルシフト用のMOSトランジスタが接続されている。上記PチャネルMOSトランジスタ $T_{21}$ のゲートには第3図に示すような読み出し/書き込み信号 $R/W$ が与えられてオン・オフが制御されNチャネルMOSトランジスタ $T_{22}$ のゲートは接続地レベルに保たれて常にオン状態にある。

特開昭54-37544(2)

面積に制限が生じてサイズの減少及び高密度化が阻止されるばかりでなく、書き込み時にはセルの内容が反転するまでの期間、直流電流を流さねば書き込みが完了しないため消費電力の増大をきたす欠点があつた。

本発明は上記従来回路の問題点に鑑みてなされたもので、桁選択用MOSトランジスタの相互コンダクタンス $G_m$ を読み出し時と書き込み時で変化させることにより、セルの内容の破壊を防いで書き込み及び読み出し動作の安定を企るものである。即ち、桁選択用MOSトランジスタのゲートに与えられる桁選択用MOSトランジスタのオン抵抗を変化させて相互コンダクタンス比を変化させるもので、次に図面を用いて本発明の実施例を詳細に説明する。

第2図に於て、プロック $\mathcal{N}$ はマトリックス状に配置されたRAMを構成する1つのメモリセルで、CMOS構造からなるインバータ2個をクロスに接続し、各インバータの入出力部にセル選択用のMOSトランジスタ $T_{11}, T_{11}'$ が接続された。

ここでPチャネルMOSトランジスタのスレッシュホールド電圧を $V_{THP}$ 、NチャネルMOSトランジスタのスレッシュホールド電圧を $V_{THN}$ として、まず上記桁選択デコーダ $\mathcal{D}$ の動作を説明する。尚信号"0"は- $V$ ボルト、信号"1"は $0$ ボルトとして説明する。

タイミング信号 $\phi_1 + \phi_2 = 0$ 及び桁選択指令信号 $\bar{A}_1, \bar{A}_2 = 0$ の状態で桁選択線 $L_1$ が選択されることになり、選択信号"1"が出力されるが、読み出し/書き込み信号 $R/W = 0$ の状態でPチャネルMOSトランジスタ $T_{11}$ はオフ状態となり、常時オン状態のNチャネルMOSトランジスタ $T_{11}'$ によって、桁選択線 $L_1$ に出力される信号のレベルは( $0 - 1 V_{THN} 1$ )ボルトとなり、接続地レベルからNチャネルMOSトランジスタ $T_{11}'$ のスレッシュホールド電圧 $V_{THN}$ だけシフトした信号が出力される。一方上記のように桁選択線 $L_1$ が選択された状態で読み出し/書き込み信号 $R/W = 0$ が与えられると、PチャネルMOSトランジスタ $T_{11}$ がオン状態に遷移し、桁選択線

$L_3$  の信号レベルは 0 ボルトとなる。即ち  $R/W = "0"$  の書き込み時には行選択線  $L_3$  には 0 ボルトの信号が outputされるのに對して  $R/W = "1"$  の読み出し時には ( $0 - 1 V_{THN1}$ ) ボルトシフトした信号が outputされる。このよう行選択線  $L_3$  上に出力された信号は MOS トランジスタ  $T_{11}$  ,  $T_{11}'$  のゲートに与えられ、該 MOS トランジスタ  $T_{11}$  ,  $T_{11}'$  は夫々与えられた信号レベルに對応するオン抵抗を呈してデータ線上の  $D$  ,  $\bar{D}$  点をメモリセルに接続する。

ここで  $D$  ( $\bar{D}$ ) 点に、後述する書き込み回路 3 から与えられる  $-V$  ボルトの書き込み信号が与えられると、セル内のインバータにおける  $R$  ( $R'$ ) 点の電位と行選択用 MOS トランジスタ  $T_{11}$  ( $T_{11}'$ ) のチャネルに流れる電流との間には、行選択線  $L_3$  の信号レベルによって第 4 図に示すような関係を生じる。即ち本実施例ではトランジスファゲートがチャネル MOS トランジスタで構成されていることから、行選択線  $L_3$  上の信号レベルが ( $0 - 1 V_{THN1}$ ) ボルトである読み出し状態で

みでオン抵抗が異なるトランジスファゲートに制御されてセルの内容を破壊することなく夫々の動作が行われる。

第 3 図においてデータ線の  $D$  ( $\bar{D}$ ) 点と接地レベル間に容量  $C_1$  ,  $C_1'$  が接続され、書き込み回路 3 から出力された書き込み情報を蓄える。書き込み回路 3 には書き込み信号  $DIN$  が入力され、書き込みタイミング信号  $\phi_w$  ,  $\phi_w'$  がゲートに入力されたチャネル MOS トランジスタ  $T_{15}$  及び P チャネル MOS トランジスタ  $T_{16}$  で書き込み時ににおける直流バスを遮断状態に制御して消費電力の低減を企っている。

上記データ線  $D$  側にはデータ導出のための読み出し用インバータ 4 が接続され、データ線  $D$  上に読み出された信号によってインバータ 4 のゲートが制御され、“1” 或いは “0” の信号が出される。尚本実施例においてはデータ線  $D$  側からのみ読み出し情報を導出するため、高レベルの状態がトランジスファゲート  $T_{11}$  のスレッジ・ホールド電圧  $V_{THN1}$  分レベルシフトすることになるが、これ

特開昭54-37544(3)

曲線  $I_R$  、信号レベルが 0 ボルトである書き込み状態で上記  $I_R$  より高いチャネル電流の曲線  $I_w$  を示す。ここでセルの内容が例えば MOS トランジスタ  $T_{12}$  ( $T_{12}'$ ) がオンしているとすれば、R 点の電位と MOS トランジスタ  $T_{12}$  を流れる電流との間には第 4 図に示すような関係となり、上記  $I_R$  及び  $I_w$  の交点  $V_H$  或いは  $V_L$  が動作状態における R 点の電位となる。従つて、読み出し状態では R ( $R'$ ) 点電位は  $1 V_H$  ボルト程度となり、上記 MOS トランジスタ  $T_{12}$  ( $T_{12}'$ ) のオン状態、即ち R ( $R'$ ) 点の高レベル状態が破壊されずに読み出される。また書き込み状態では、セルの内容が MOS トランジスタ  $T_{12}$  ( $T_{12}'$ ) のオン状態、即ち R ( $R'$ ) 点が高レベルにあつても、トランジスファゲート  $T_{11}$  ( $T_{11}'$ ) がオンすると第 4 図から明らかに R ( $R'$ ) 点電位は  $1 V_L$  ボルトに低下し、セル状態が反転して情報書き込みが成される。

MOS トランジスタ  $T_{13}$  ( $T_{13}'$ ) がオンしているようなセル状態の場合も同様に読み出しと書き込

みでオン抵抗が異なるトランジスファゲートに制御されてセルの内容を破壊することなく夫々の動作が行われる。

以上本発明のように、セルを選択するための行選択用 MOS トランジスタのゲートに与える信号のレベルを読み出し時と書き込み時で変化させることにより、従来のように RAM を構成する MOS トランジスタの形状を相互コンダクタンス比が適当になるように設計する必要がなく、回路設計が簡めて簡単になり、動作の信頼性を高めると共に素子の高密度化を企ることができる。

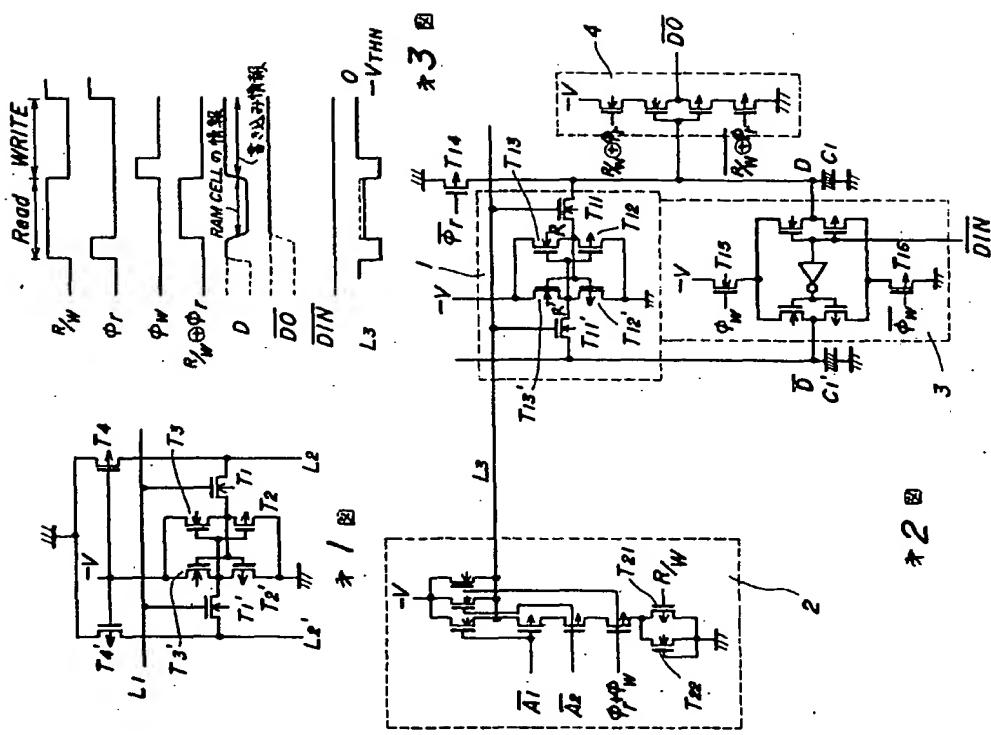
#### 4. 図面の簡単な説明

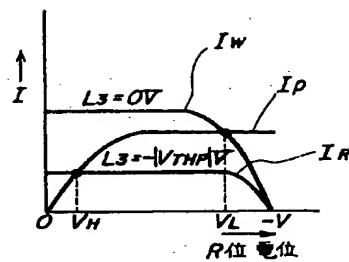
第 1 図は従来の RAM セルを示す回路図、第 2 図は本発明による実施例を示す回路図、第 3 図は同実施例の信号波形図、第 4 図は同実施例の R 点電位とチャネル電流の関係を示す図である。

1…セル、2…行選択デコーダ、3…書き込み回路、4…読み出し回路、 $T_{11}$  ,  $T_{11}'$  …行選択用 MOS トランジスタ、 $L_3$  …行選択線、 $D$  ,  $\bar{D}$  …データ線、 $C$  ,  $C'$  …容量、 $R/W$  …読

み出し／書き込み信号、 $T_{21}$ 、 $T_{22}$ …レベルシ  
フト用MOSトランジスタ

代 墓 人 弁 墓 士 備 士 愛 士





第4図

